



(19)

(11) Publication number: 63024692 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 61168516

(51) Int'l. Cl.: H01S 3/18 H01L 29/80

(22) Application date: 17.07.86

(30) Priority:

(43) Date of application publication: 02.02.88

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: MIURA SHUICHI

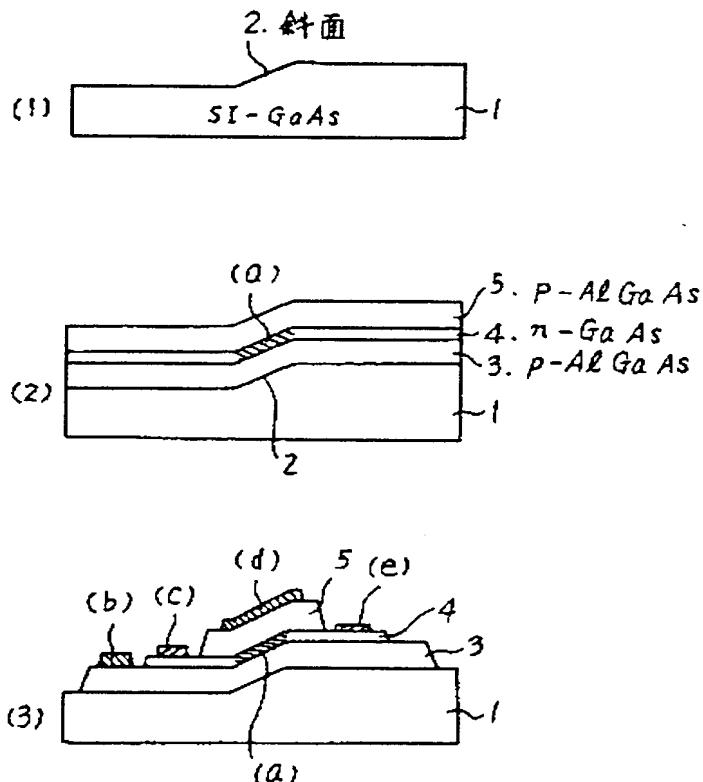
(74) Representative:

(54) MANUFACTURE OF MULTIFUNCTION SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To obtain a device having the functions of a laser transistor and an FET on a III-V compound semiconductor substrate utilizing the inversion phenomenon of the conductivity type of a layer to grow on a stepped slant face.

CONSTITUTION: A step difference of $0.3 \mu\text{m}$ is formed on the (111) face of a semi-insulative GaAs substrate 1 by etching and a slant face 2 with an exposed (111) A face is formed. The etching liquid is one consisting of $1\text{H}_2\text{SO}_4 + 8\text{H}_2\text{O}_2 + 1\text{H}_2\text{O}$. A p-type $\text{Al}_0.3\text{Ga}_0.7\text{As}$ layer 3, an n-type GaAs layer 4 and a p-type $\text{Al}_0.3\text{Ga}_0.7\text{As}$ layer 5 are continuously grown by an MBE method. In the region (a) of the slant face 2, the n-type GaAs layer 4 is grown on the (111) A face in a state of quasi-equilibrium and an additional impurity Si is substituted at the lattice point of As to work as an acceptor and is inverted into a P-type. An etching is selectively performed to remain a laminated material on the slant face and Au/AuGe electrodes (c) and (e) and Au/Zu/Au electrodes (b) and (d) are attached on the exposed surface of each layer. A horizontal n-p-n bipolar transistor is formed on the layer 4 and actuated as a laser transistor by current conduction between the electrodes (d) and (b) and a vertical FET, wherein the currents of the electrodes (d) and (b) are controlled by the electrodes (c) and (e), is jointly provided.



⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 昭63-24692

⑬ Int.Cl.
H 01 S 3/18
H 01 L 29/80

識別記号 廷内整理番号
7377-5F
8122-5F

⑭ 公開 昭和63年(1988)2月2日
審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 多機能半導体装置の製造方法

⑯ 特願 昭61-168516
⑰ 出願 昭61(1986)7月17日

⑱ 発明者 三浦 秀一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

多機能半導体装置の製造方法

2. 特許請求の範囲

III-V族化合物半導体基板上に(111)A面の露出した斜面を有する段差を形成し、該段差を覆って第1のp型半導体層と、該第1のp型半導体層より禁制帯幅が小さく、かつIV族元素をドーパントとするIII-V族化合物半導体層と、該III-V族化合物半導体層より禁制帯幅が大きい第2のp型半導体層とを順次成長する工程を有することを特徴とする多機能半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

段差の斜面に成長する層の導電型の反転現象を利用してレーザトランジスタとPETの機能を有する多機能半導体装置の製造方法を提供する。

【産業上の利用分野】

本発明は多機能半導体装置として、レーザとPETの両方の動作ができるレーザトランジスタの新規な製造方法に関する。

光電子集積回路(OEIC)は光通信システムの小型化、高速化、多機能化が達成できるため、その開発が活発に行われている。

近年、レーザ等の発光素子やフォトダイオード等の受光素子と、電界効果トランジスタ(PET)等の電子素子とを同一基板上に形成した上記のOEICが実用化されるようになってきたが、光素子と電子素子の構造の違いから、製造工程が複雑化し、歩留等の点で問題があった。

そのため、OEIC用の各素子は同一プロセスが使えるように色々工夫されているが、さらに進んで同一構造で多機能をもつ素子が出現すれば、例えば同一基板上に形成された多數の多機能素子を光素子、あるいは電子素子として機能別に使い分けることになり、集積化が容易となる。

(従来技術と、発明が解決しようとする問題点)

OEICは光通信用のデバイスとして実用化され始めたばかりであり、これに組み込む素子はOEIC用として製造プロセス上の種々の改善が試みられている。

しかしながら、OEIC構成に適した多機能素子の開発例は少なく、新規な開発が望まれる。

(問題点を解決するための手段)

上記問題点の解決は、III-V族化合物半導体基板上に(111)A面の露出した斜面を有する段差を形成し、該段差を覆って第1のp型半導体層と、該第1のp型半導体層より禁制帯幅が小さく、かつIV族元素をドーピングとするIII-V族化合物半導体層と、該III-V族化合物半導体層より禁制帯幅が大きい第2のp型半導体層とを順次成長する工程を有する多機能半導体装置の製造方法により達成される。

(AlGaAs/GaAs/AlGaAs)の積層構造を選び、レーザトランジスタとFETの両方の動作が行える素子を形成する場合について説明する。

第1図(1)において、面指数(100)のSi-GaAs基板1に、(111)A面が露出する斜面2を有する高さ0.3μmの段差をエッチングにより形成する。

エッチャントは $1\text{H}_2\text{SO}_4 + 8\text{H}_2\text{O}_2 + 1\text{H}_2\text{O}$ である。

第1図(2)において、MBE法により斜面2を覆って基板上に

第1のp型半導体層として、p-Al_{0.2}Ga_{0.8}As層3、

III-V族化合物半導体層(n型不純物としてIV族のSiをドープする)として、n-GaAs層4、

第2のp型半導体層として、p-Al_{0.2}Ga_{0.8}As層5

を連続成長する。

各層の主要成長条件をつぎに示す。

(作用)

本発明はn型ドーピングとして珪素(Si)等のIV族元素を用いてIII-V族化合物半導体層を、成長が平衡状態に近い状態で進行する分子線エビクチシャル成長(MBE)法等で成長すると、(111)A面の露出した斜面に成長する層はp型に反転する性質を利用して、同一層中に隣接するn型とp型とn型の領域を形成するものである。

MBE成長の場合埠平衡的に成長するため、斜面に露出したIII族の格子位置に、漸次IV族のドーピングが置換されアクセプタとしてはたらき、導電型はp型に反転する。

(実施例)

第1図(1)～(4)は本発明の方法を説明する断面図である。

ここでは、OEIC用多機能素子の層構造の代表例として、半絶縁性ガリウム砒素(Si-GaAs)基板上にアルミニウムガリウム砒素/GaAs/AlGaAs

図番	層名	温度 (cm ⁻³)	厚さ (μm)
5	p-AlGaAs クラフ層	5×10^{17}	1.5
4	n-GaAs 活性層	1×10^{17}	0.1
3	n-AlGaAs クラフ層	5×10^{17}	1.5

MBE成長の場合、斜面2上の(4)領域においてはn-GaAs層4は(111)A面上に埠平衡的に成長するため、SiはAsの格子位置に置換されアクセプタとしてはたらき、導電型はp型に反転する。

第1図(3)において、MBE成長の各層を、斜面2上の部分を残し、かつ各層の表面が露出するようエッチャントにより形成する。

この場合のエッチャントは、

AlGaAsに対しては $1\text{H}_2\text{SO}_4 + 8\text{H}_2\text{O}_2 + 1\text{H}_2\text{O}$ 、

GaAsに対しては $1\text{NH}_4\text{OH} + 40\text{H}_2\text{O}$

を用いる。

前者のAlGaAsに対するエッチャントはAlGaAs/GaAsの選択性は小さい。

つぎに、n型コンタクトメタルとして厚さ

2700/300 Å の金/金ゲルマニウム (Au/AuGe) を用い、斜面 2 の両側において n-GaAs 層 4 上に電極 (d) と、電極 (e) を形成する。

また、p 型コンタクトメタルとして厚さ 2340/360/300 Å の金/亜鉛/金 (Au/Zn/Au) を用い、p-Al_{0.3}Ga_{0.7}As 層 3 上に電極 (d) と、p-Al_{0.3}Ga_{0.7}As 層 5 上には電極 (e) を形成する。

つぎに、以上のように形成された多機能素子の動作の概略を説明する。

(a) 領域は前記のように MBE 法で成長すると p 型となる。このため GaAs 層 4 にラテラル n-pn バイポーラトランジスタが形成され電極 (d)、(e) をそれぞれコレクタ、エミッタとして用い、電極 (d)、(e) 間に電流を流すことによって (d) 部で電子と正孔が再結合して発光し、レーザトランジスタとして動作する。

一方、電極 (d)、(e) 間に電流を流し、電極 (d)、(e) に正電位をあたえて (d) 部の両側の接合を逆バイアスにして (a) 領域のチャネルを変調することにより

(4) は III-V 族化合物半導体層で Si をドーパントとする n-GaAs 層、
 (5) は第 2 の p 型半導体層で p-Al_{0.3}Ga_{0.7}As 層、
 (a) は p 型反転領域、
 (b)、(d) は電極で Au/Zn/Au 層、
 (c)、(e) は電極で Au/AuGe 層

である。

代理人 弁理士 井桁貞一



垂直方向の FET として動作する。

本発明により、ただ 1 回の成長でレーザトランジスタと FET の両方の機能をもつ素子を容易に形成することができる。

〔発明の効果〕

以上詳細に説明したように本発明によれば、OEIC 構成に適した多機能素子として、レーザと FET の両方の動作を行える素子を形成することができる。

従って、機能別に使い分けることにより OEIC の集積化が容易となる。

4. 図面の簡単な説明

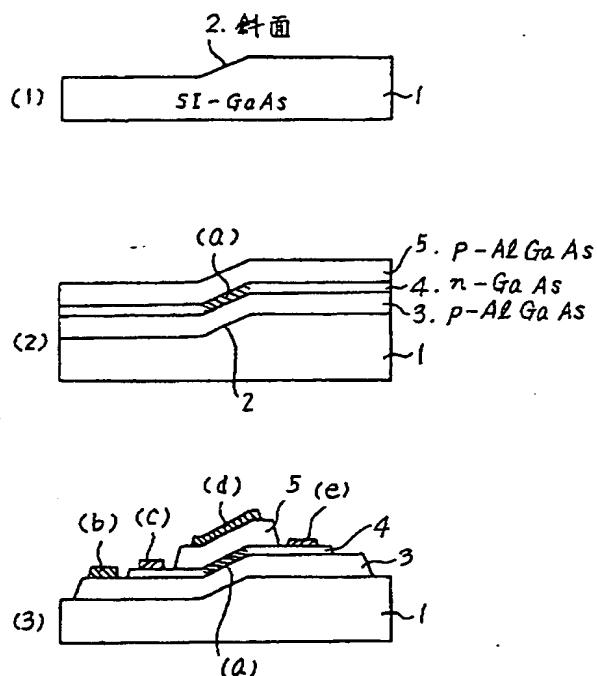
第 1 図 (1)～(3) は本発明の方法を説明する断面図である。

図において、

1 は Si-GaAs 基板、

2 は 斜面、

3 は第 1 の p 型半導体層で p-Al_{0.3}Ga_{0.7}As 層、



本発明を説明する断面図

第 1 図